

⑫ 公開特許公報 (A) 昭63-70291

⑬ Int.Cl.
G 09 G 3/30識別記号 庁内整理番号
7335-5C

⑭ 公開 昭和63年(1988)3月30日

審査請求 未請求 発明の数 1 (全 8 頁)

⑮ 発明の名称 マトリックス表示パネルの駆動回路

⑯ 特 願 昭61-215271

⑰ 出 願 昭61(1986)9月11日

⑱ 発明者 河田 外与志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発明者 宮田 博之 兵庫県加東郡社町佐保35番(番地なし) 富士通周辺機器株
式会社内⑳ 発明者 小林 哲也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内㉑ 発明者 青木 哲雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代理人 弁理士 井桁 貞一

最終頁に続く

明細書

1. 発明の名称

マトリックス表示パネルの駆動回路

2. 特許請求の範囲

(1) 格子状に配列した複数の走査電極 (S1~S_n) と複数のデータ電極 (D1~D_a) との各交叉部に電気光学体を介在して複数の表示セルを形成し、前記走査電極およびデータ電極間のそれぞれに駆動電圧を印加して前記表示セルを発光させるマトリックス表示パネルの駆動回路において、

前記各走査電極に少なくとも 2 種類の電源供給端子 (15, 16) を有するブッシュブルドライバ (7-1 ~ 7-n) をそれぞれ接続し、該ブッシュブルドライバの各電源供給端子にそれぞれ前記マトリックス駆動用の駆動電圧発生回路 (A, B) を接続したことを特徴とするマトリックス表示パネルの駆動回路。

(2) 前記駆動電圧発生回路 (A, B) は、少なくとも基準電圧を出力する基準電圧発生回路 (8,

9) と、前記基準電圧に重畳する走査信号電圧バルスを出力する走査信号発生回路 (10, 11) から成ることを特徴とする特許請求範囲第 1 項記載のマトリックス表示パネルの駆動回路。

(3) 前記一方の電源供給端子に基準電圧、他方の電源供給端子に前記基準電圧に重畳する走査信号電圧バルスを供給し、前記ブッシュブルドライバの出力端子より選択走査信号電圧バルスを順次出力することを特徴とする特許請求範囲第 1 項および第 2 項記載のマトリックス表示パネルの駆動回路。

(4) 前記一方の電源供給端子に基準電圧、他方の電源供給端子に前記基準電圧に重畳する走査信号電圧バルスを供給する關係をフレーム毎に逆転させ、前記選択走査信号電圧バルスの極性をフレーム毎に反転させることを特徴とする特許請求範囲第 3 項記載のマトリックス表示パネルの駆動回路。

(5) 前記電源供給端子間に、所定値以上の電圧印加を抑止する素子または回路を接続したことを特徴とする特許請求範囲第 1 項記載のマトリックス

表示パネルの駆動回路。

3. 発明の詳細な説明

(概要)

本発明はマトリックス表示パネルの駆動回路であって、各走査電極に少なくとも2種類の電源供給端子を有するプッシュプルドライバを接続し、表示セルの書き込み駆動期間において、一方の電源供給端子に基準電圧、他方の電源供給端子に前記基準電圧に重畠した走査信号電圧を印加するよう構成し、電源供給端子間に印加される電圧差を小さくして、プッシュプルドライバの耐圧を小さくして低価格化を達成するとともに、フレーム毎に選択走査電圧バルスの極性を逆転させる駆動によりパネル特性の安定化を可能としたものである。

また、プッシュプルドライバの電源供給端子の間に所定値以上の電圧の印加を抑止する素子または回路を接続し、その所定値とデータ信号電圧と走査信号電圧との関係を規定して消費電力の削減

を図っている。

(産業上の利用分野)

本発明はマトリックス表示パネル、特に薄膜エレクトロルミネッセンス・パネルの駆動回路に関するものである。

マトリックス表示パネル、特に薄膜エレクトロルミネッセンス・パネル（以後Eパネルと記す）はOA機器の端末機やパーソナルコンピュータ等の表示部等に適用されることが期待されており、表示パネルの低価格化および長寿命化を含めた長期信頼性が必要である。

(従来の技術)

第6図は従来の駆動回路のブロック図、第7図は従来の駆動波形図である。

第6図において、Eパネル1は、複数のデータ電極D1～Dmと走査電極S1～Snが格子状に配列し、その各々の交叉部に図示しない表示セルを形成している。

これ等の表示セルを駆動する駆動回路は、データ電極D1～Dmにデータバルスを供給するデータ信号発生回路2と、走査電極S1～Snに走査バルスとリフレッシュバルスを供給する走査信号発生回路3とから成っている。

データ信号発生回路2は、NチャンネルおよびPチャンネルのFETのプッシュプルドライバ4-1～4-mと、プッシュプルドライバ4-1～4-mの直流電源5とより構成されている。

また、走査信号発生回路3は、負の高電圧(-165V)電源3-1およびその給配をオン、オフするスイッチ3-2、3-3と、正の高電圧(+215V)電源3-4およびその給配をオン、オフするスイッチ3-5と、負および正の高電圧をそれぞれの走査電極S1～Snに出力するブルオノリドライバ6-1～6-nとより構成されている。

以上構成された回路の動作を第7図の駆動波形図を参照して説明する。

まず、書き込み駆動期間において第6図のスイッチ3-3、3-5をオフ、スイッチ3-2をオンに

すると、負の高電圧電源3-1より-165Vがブルオノリドライバ6-1～6-nのソースに入力されるので、外部よりそれらドライバ6-1～6-nの制御電極Eに入力される走査制御信号によって、走査電極S1、S2、…、Snには第7図(b)～(d)に示すような-165Vの走査バルスVsが順次印加される。

次のリフレッシュ期間において、スイッチ3-2、3-3をオフ、スイッチ3-5をオンにすると、正の高電圧電源3-4より+215Vがブルオノリドライバ6-1～6-nのソースに入力されるので、それらドライバの制御電極Eに対して外部より入力されるリフレッシュ制御信号によって、各走査電極S1、S2、…、Snには第7図(e)～(f)に示すような、215Vのリフレッシュバルスb1、c1、d1が一齊に印加される。

なお、スイッチ3-2、3-3、3-5は外部より入力されるスイッチ切換信号の所定タイミングに応じてオン、オフされ、上記リフレッシュバルス(+215V)、走査バルス(-165V)、ア-

スレベルを得ている。

一方、データ信号発生回路2は、データ制御信号によって、例えば第7図(a)に示すデータバルスVD(+50V)をデータ電極側の選択された電極D1に走査バルスVsに同期させて出力する。

第7図(e)～(f)は、データ電極D1と走査電極S1,S2～Snとの間に印加されるセル駆動波形を示し、選択された表示セルには走査バルスVsとデータバルスVDとの合成電圧が書き込みバルスe1,f1,g1となって印加され、これによって該選択表示セルは発光する。

この書き込み駆動が終了後、全走査電極に対し前記書き込みバルスとは逆極性の正の高電圧(+215V)のリフレッシュバルス(第7図(e)～(f)のb1,c1,d1)を印加することにより、前記選択表示セルは再度発光する。

以上の両駆動により、1フレームの交流駆動を終了し、この動作を繰り返すことにより選択表示セルを所定の輝度で発光させる。

(発明が解決しようとする問題点)

上記従来の駆動回路は、データ電極側にブッシュプルードライバ、走査電極側にブルオノリドライバを接続したドライバ構成となっており、それがために2種類のドライバが必要となる。また、走査電極側のブルオノリドライバ6-1～6-nのソース・ドライン間に走査バルスVs(-165V)と、走査電極とデータ電極間の容量を介して印加されるデータバルスVD(+50V)との和の電圧215Vが印加されるため、ブルオノリドライバ6-1～6-nは215V以上の耐圧が要求され、高耐圧のICを使用する必要があり、コストアップの一因をなしている。

また、駆動波形の書き込み駆動期間において、第7図(e)～(f)のVMは1番目のデータ電極に印加されたデータバルスVDによって生じる正極性の半選択電圧であり、この半選択電圧がパネルの各表示セルにフレーム毎に同極性で常時印加されており、定常的なDCバイアス成分となるため、パネルの特性を変動させて寿命を短かくするといった問題

がある。

本発明はこのような点に着目して創作されたもので、走査電極のドライバにブッシュプルードライバを用いて駆動回路を統一するとともに、低い耐圧で動作し、且つ極性が片寄った半選択電圧が発生しない駆動回路を提供することを目的としている。

(問題点を解決するための手段)

第1図は本発明の駆動回路の原理ブロック図であり、表示パネルの走査電極Sに少なくとも2種類の電源供給端子15,16を有するブッシュプルードライバ7を接続し、ブッシュプルードライバ7の第1の電源供給端子15と第2の電源供給端子16にそれぞれ駆動電圧発生回路A, Bを設けた構成を採っている。

(作用)

書き込み駆動区間において、第1および第2の駆動電圧発生回路A, Bをそれぞれ駆動し、ブッシュプルードライバ7の第1の電源供給端子15と第2

の電源供給端子16に対して駆動電圧を供給し、これらの駆動電圧を選択的に駆動されたブッシュプルードライバ7の出力端より合成された走査バルスとして当該選択走査電極Sに印加する。

これによって、ブッシュプルードライバ7の第1の電源供給端子15と第2の電源供給端子16の電圧差を小さくし、ブッシュプルードライバ7の耐電圧の低減を図っている。

(実施例)

第2図は本発明の一実施例の駆動回路のブロック図、第3図はその駆動波形図を示している。

第2図において、本実施例の駆動回路は、表示パネル1の各走査電極S1～Snのそれぞれにブッシュプルードライバ7-1～7-nを接続し、そのドライバ7-1～7-nの第1の電源供給端子15に前記第1の駆動電圧発生回路Aを構成する第1の基準電圧発生回路8と第1のリフレッシュバルス発生回路13と第1の走査信号発生回路10を、また第2の電源供給端子16に前記第2の駆動電圧発

生回路Bを構成する第2の基準電圧発生回路9と第2のリフレッシュパルス発生回路14と第2の走査信号発生回路11をそれぞれ接続している。

第1の基準電圧発生回路8は、正電源8-1 (+190V) とスイッチ8-2を設けた構成であり、第2の基準電圧発生回路9は負電源9-1 (-165V) とスイッチ9-2を設けた構成としている。

第1のリフレッシュパルス発生回路13は、正電源13-1(+190V)とスイッチ13-2を設けた構成であり、第2のリフレッシュパルス発生回路14は、負電源14-1(-190V)とスイッチ14-2を設けた構成としている。

第1および第2の走査信号発生回路10, 11は、所定の走査パルスを得るために電源、例えば、第1の走査信号発生回路10には-190V電源10-1と-165V電源10-2と、両電源を切換えるスイッチ10-3を設け、第2の走査信号発生回路11には+215V電源11-1と+190V電源11-2と、両電源を切換えるスイッチ11-3を設けた構成としている。

また、ブッシュブルドライバ7-1～7-nの第1の電源供給端子15と第2の電源供給端子16との間に所定値以上の電圧の印加を抑止しドライバを保護するためのウェナーダイオード12を接続している。

以上構成の駆動回路の動作を第3図の駆動波形図を参照して説明する。

第3図(a)～(d)に示すように、第1フレームの書込み駆動区間において、まず第2図の第2の基準電圧発生回路9のスイッチ9-2をONにすると、ブッシュブルドライバ7-1～7-nの第2の電源供給端子16に-165Vの電圧が供給され、これがそれぞれのトライバのブッシュ側P-ch素子に内蔵されている順方向ダイオードを介して各走査電極S1, S2, ..., Snに同時に印加されて基準電圧VP(-165V)を形成する。

この基準電圧VPの印加後、スイッチ9-2をOFFにし、第2の電源供給端子16をフローティング状態に設定する。この設定により、後述するように書込み駆動時の消費電力をウェナーダイオード

12の動作電圧VZの最適設定により低減することが可能となる。

これに続いて外部より入力される走査制御信号により、第1の走査信号発生回路10のスイッチ10-3を-190V電源10-1側に切換えると、ブッシュブルドライバ7-1～7-nの第1の電源供給端子15に-190Vの電圧が供給される。この時、同時に外部より入力される走査制御信号によって1番目のブッシュブルドライバ7-1のブル側N-ch素子をONにすることにより、1番目の走査電極S1に対して前記基準電圧VP(-165V)に重畳する形で走査信号電圧パルスVYが印加される。なお、この基準電圧と走査信号電圧パルスとの合成波形が走査パルスに対応するものである。

この走査信号電圧パルスVYを走査電極S1に印加した後、スイッチ10-3を-165V電源10-2側に切換えることにより、走査電極S1の電位を元の基準電圧VP(-165V)に復帰させる。

以下同様に、スイッチ10-3の切り換えと各ブッシュブルドライバ7-2～7-nのブル側N-ch

素子を順次ONにする動作により、走査電極S2～Snに対して基準電圧に走査信号電圧パルスの重畳した形の前記走査パルスが順次印加される。

一方、データ信号発生回路2は、データ制御信号によって、第3図(e)に示す前記走査パルスとは逆極性のデータパルスVX(25V)を発生し、選択されたデータ電極に走査パルスと同期して印加する。

第3図(f)～(h)は、選択されたデータ電極DIと各走査電極S1, S2, ..., Snとの間の合成駆動波形を示し、基準電圧VP上に走査信号電圧パルスVYとデータパルスVXが重畳された書込みパルスe1, f1, g1となり、選択表示セルに順次印加されて選択表示セルを順次発光する。

この書込み駆動が終了後、次のリフレッシュ駆動区間において、第2図のスイッチ13-2を+190V電源13-1に、スイッチ14-2を-190V電源14-1にそれぞれ交互に接続すると、第3図(a)～(d)に示すような、+190Vと-190Vの交番状のリフレッシュパルスVRが全走査電極S1～Snに対

して同一タイミングでそれぞれ印加されリフレッシュ駆動が行なわれる。このリフレッシュ駆動により、前記選択表示セルを再度発光させる。

以上により交流駆動の、負極性の基準電圧が印加される第1フレームの駆動を終了する。交流駆動の、正極性の基準電圧が印加される次の第2フレームの駆動は、第1の基準電圧発生回路8と第2の駆動信号発生回路11およびブッシュブルドライバ7-1～7-nのブッシュ側P-ch素子を利用して、上記と同じ要領によって第1フレームと逆極性すなわち正極性の信号を作成して音込み駆動を行い、さらに、第2と第1のリフレッシュバルス発生回路14,13を利用してリフレッシュ駆動を行うことにより、選択表示セルを発光せしめる。

以上の構成により、各フレームの音込み駆動区間ににおいて、ブッシュブルドライバ7-1～7-nの第1の電源供給端子15と第2の電源供給端子16に対して同極性の基準電圧と走査信号電圧パルスを個別に印加することができ、その結果両端子間の電圧差を小さくし、ブッシュブルドライバに

要求される耐電圧を低くすることを可能としている。

また、上記のように音込み駆動区間中、各走査電極は基準電圧に相当する電位状態にあり、しかもその電位の極性をフレーム毎に逆転させているため、従来発生した半選択電圧の片寄りによるパネルの特性の変動を防止している。

さらに駆動回路の消費電力について説明すると、ウェナーダイオードの動作電圧をVZ、ブッシュブルドライバの耐圧をVCC、走査パルス電圧をVY、データパルス電圧をVXとした場合、ドライバにVCC以上の電圧が印加されて破壊されることを防ぐため、

$$VZ \leq VCC \quad \dots \dots \dots (1)$$

として、消費電力を考慮して

$$VY \leq VZ \cdot S VY + VX \quad \dots \dots (2)$$

とする必要がある。(2)式に示した範囲でVZを設定した場合、VZの値により駆動時の消費電力に下記のような差ができる。

$$VZ = VY \text{ の場合} \quad \dots \dots \dots (3)$$

VZの最低値である。この時、第4図(a)に示すように、全データ電極に対するデータパルス印加状態(印加本数)の変化による全データ電極の平均値VXaの電位変動△VXaに走査電極電位が追従できない(クランプ状態)ため、データパルスの印加本数が増える程、消費電力が増える特性となる。

$$VY < VZ < VY + VX \text{ の場合} \quad \dots \dots (4)$$

第4図(b)に示すように、VZ-VYの値だけデータ電極の電位変動△VXaに走査電極電位が追従できるため、この分消費電力を低くできる。

$$VZ = VY + VX \text{ の場合} \quad \dots \dots \dots (5)$$

VZの最高値である。この時、第4図(c)に示すように、データ電極の電位変動△VXaに走査電極電位が完全に追従できるので、消費電力は50%点灯時に最大、それ以外には減少する特性になる。

以上の(4)～(5)式より、消費電力を低くする観点ではVZは(5)式に近づけるべくなるべく高く設定するのが望ましい。

一方、上記(3)式よりVZは走査ドライバの耐圧

以下に設定する必要があるため、実際には走査側ドライバ耐圧以下でなるべく高い電圧になるよう設定する。

以上の実施例では、VZはウェナーダイオード12で実現した場合を示したが、これ以外にパリスターや定電圧電源を用いるものであっても良いし、さらに第5図(d)～(f)に示すように、定電圧素子にコンデンサを並列または抵抗を直列に接続したり、定電圧素子と定電圧電源を混在させた構成であってもよい。

なお、本発明において、基準電圧発生回路のスイッチ8-2, 9-2は基準電圧波形VPの立上がり時のみON操作するように述べたが、これに限定されるものではなく操作パルス印加中もON動作を持续させるようにしてもよい。但しこの場合は消費電力は第4図(d)となる。また、フレームの最後に輝度を向上させるリフレッシュバルス列を印加した場合について詳述したが、本発明の本来の目的である駆動回路の低コスト化とパネルの長寿命化を達成するのであれば、リフレッシュバルス列の

印加を削除することも可能である。

(発明の効果)

以上説明したように本発明によれば、駆動回路の低コスト化とパネルの長寿命化を達成するとともに、限られた耐圧の走査側パッシュパルドライバにより、パネル駆動時の消費電力をなるべく低く設定することが可能となる。

4. 図面の簡単な説明

第1図は本発明の駆動回路の原理ブロック図、

第2図は一実施例の駆動回路のブロック図、

第3図は一実施例の駆動波形図、

第4図(a)～(c)は駆動回路の消費電力図、

第5図(a)～(c)は定電圧回路の変形構成図、

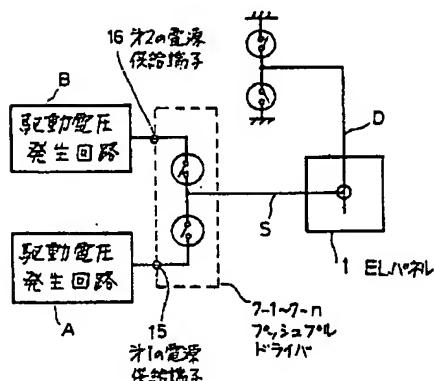
第6図は従来の駆動回路のブロック図、

第7図は従来の駆動波形図である。

図において、1はE-Sパネル、2はデータ信号発生回路、3は走査信号発生回路、3-1は-165

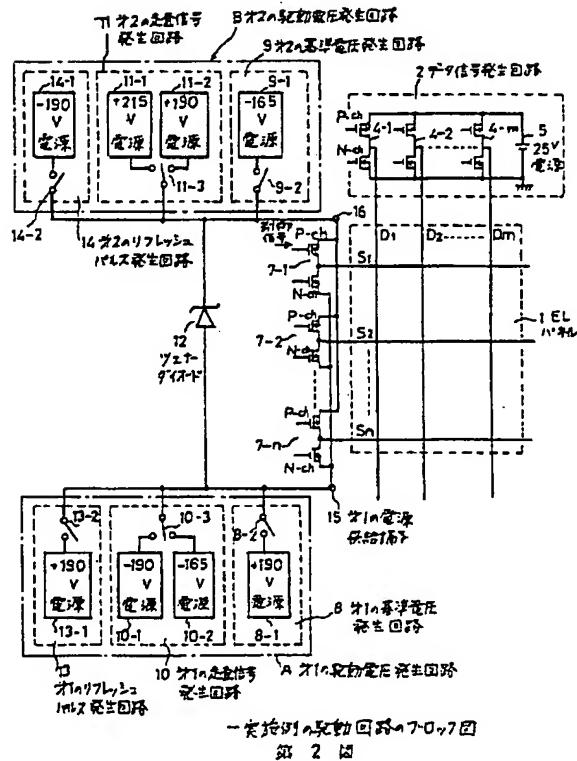
V電源、3-2、3-3、3-5、8-1、9-2、10-3、11-3、13-2、14-2はスイッチ、3-4は+215V電源、4-1～4-n、7-1～7-nはパッシュパルドライバ、5は50Vおよび25V電源、6-1～6-nはブルオソリドライバ、8、9は基準電圧発生回路、8-1、13-1、11-2は+190V電源、9-1、10-2は-165V電源、10-1、14-1は-190V電源、11-1は+215V電源、10、11は走査信号発生回路、12はツェナダイオード、13、14はリフレッシュパルス発生回路、15は第1の電源供給端子、16は第2の電源供給端子、A、Bは駆動電圧発生回路を示している。

代理人 弁理士 井 桂 貞



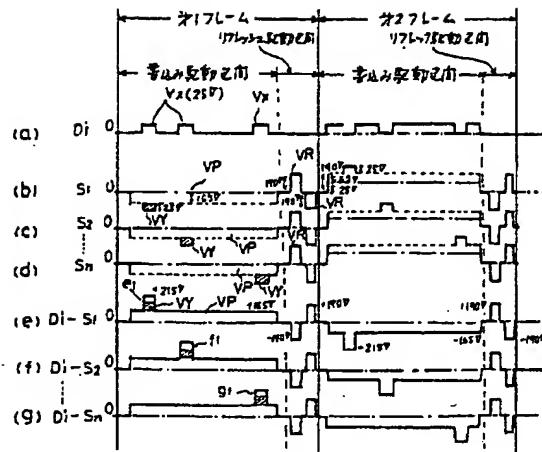
本発明の駆動回路の原理ブロック図

第1図

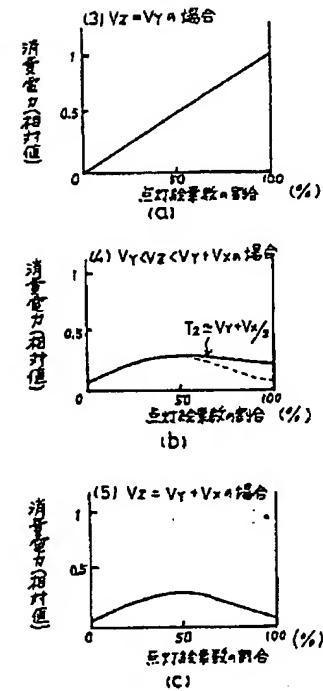


一実施例の駆動回路のブロック図

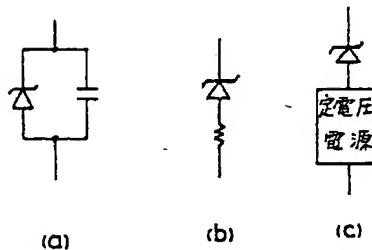
第2図



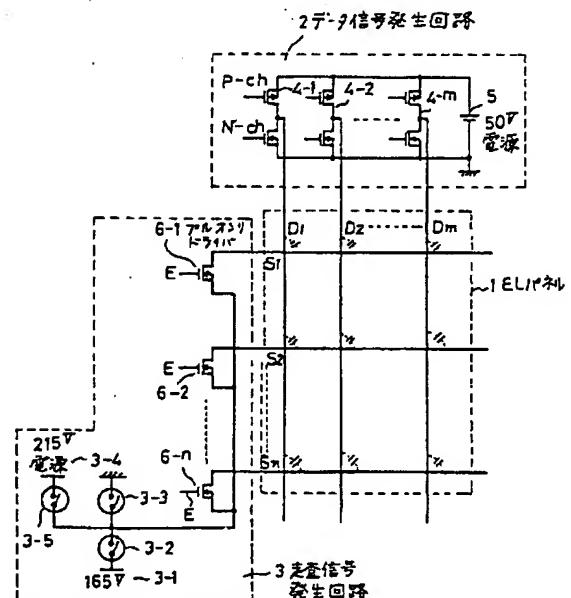
実施例の駆動波形図
第3図



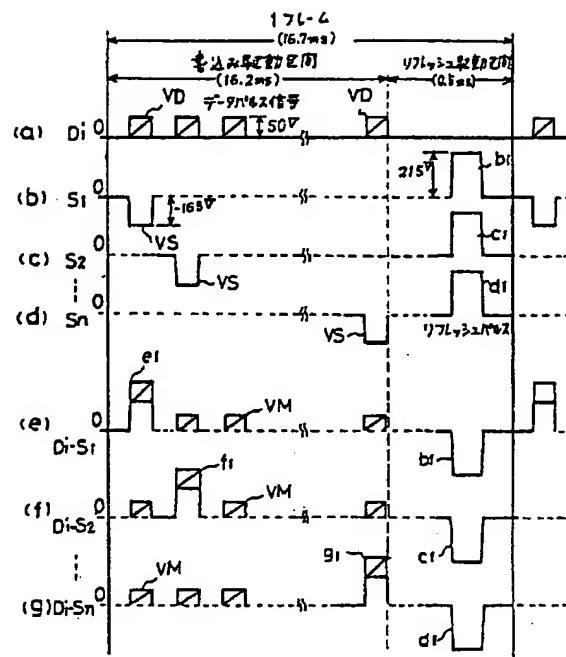
駆動回路の消費電力図
第4図



定電圧回路の変形構成図
第5図



従来の駆動回路の7-0-7図
第6図



従来の駆動波形図

第7図

第1頁の続き

◎発明者 山口

久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内